



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0045784
Application Number

출원년월일 : 2002년 08월 02일
Date of Application
AUG 02, 2002

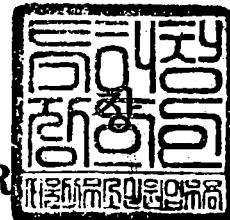
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.02
【발명의 명칭】	비트라인 클램핑 전압에 상관없이 기준 셀로 일정 전류가 흐르는 마그네틱 랜덤 액세스 메모리
【발명의 영문명칭】	Magnetic random access memory for flowing constant($(I(H)+I(L))/2$) current to reference cell without regard of bitline clamp voltage
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	조우영
【성명의 영문표기】	CHO, WOO YEONG
【주민등록번호】	681006-1841019
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 두산아파트 802동 1803호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 266,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

비트라인 클램핑 전압에 상관없이 기준 셀로 $(I(H)+I(L))/2$ 의 전류가 흐르는 마그네틱 랜덤 액세스 메모리(MRAM)가 개시된다. 본 발명의 MRAM은 메모리 셀 어레이 블록, 기준 메모리 어레이 블록, 기준 전류 제공부, 그리고 센스앰프를 포함한다. 메모리 어레이 블록은 워드라인, 비트라인, 그리고 디지털 라인의 교차점에 행들 및 열들로 배열된 마그네틱 메모리 셀들로 구성된다. 기준 메모리 셀 어레이 블록은 워드라인, 제1 기준 비트라인 그리고 디지털 라인의 교차점에 연결되는 마그네틱 메모리 셀들에 로직 하이 상태를 저장하고, 워드라인, 제2 기준 비트라인 그리고 디지털 라인에 연결되는 마그네틱 메모리 셀들에 로직 로우 상태를 저장한다. 기준 전류 제공부는 비트라인 클램프 전압에 응답하여 제1 및 제2 기준 비트라인 전류합의 반에 해당하는 기준 전류를 센스 앰프로 제공한다. 센스앰프는 메모리 셀 어레이 블록 내 선택된 마그네틱 메모리 셀 데이터에 따라 비트라인으로 흐르는 전류와 기준 비트라인의 기준 전류를 비교하여 선택된 마그네틱 메모리 셀 데이터 값을 센싱한다. 따라서, 본 발명의 MRAM에 의하면, 비트라인 클램핑 전압 레벨에 상관없이 $(I(H)+I(L))/2$ 의 전류가 일정하게 기준 비트라인으로 흐르기 때문에 선택된 메모리 셀 값에 따른 비트라인의 $iT-i(H)$ 또는 $iT-i(L)$ 전류를 센싱하는 데 안정적이다.

【대표도】

도 3

【색인어】

MRAM, 비트라인 클램프 전압, 기준 셀, 마그네틱 메모리 셀

【명세서】

【발명의 명칭】

비트라인 클램핑 전압에 상관없이 기준 셀로 일정 전류가 흐르는 마그네틱 랜덤 액세스 메모리{Magnetic random access memory for flowing constant $(I(H)+I(L))/2$ current to reference cell without regard of bitline clamp voltage}

【도면의 간단한 설명】

도 1은 종래의 MRAM에 관한 도면이다.

도 2는 도 1의 비트라인 클램프 전압에 따른 저항 값 변화를 나타내는 도면이다.

도 3은 본 발명의 일실시예에 따른 MRAM을 나타내는 도면이다.

도 4는 도 3의 기준 전류 제공부를 나타내는 도면이다.

도 5는 도 3의 비트라인 클램프 회로를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 마그네틱 랜덤 액세스 메모리(magnetic random access memory)에 관한 것으로, 특히 비트라인 클램핑 전압에 상관없이 기준 셀로 $(I(H)+I(L))/2$ 의 전류가 흐르는 마그네틱 랜덤 액세스 메모리에 관한 것이다.

<7> 마그네틱 랜덤 액세스 메모리(magnetic random access memory: 이하 "MRAM"이라 칭한다)는 일종의 불휘발성 메모리 장치로서, 복수개의 마그네틱 메모리 셀을 포함한다. MRAM은 자성층과 비자성층이 교대로 적층된 멀티층 필름 사이에 나타나는 자기저항

(magnetoresistive) 현상을 이용한다. 마그네틱 메모리 셀의 자기저항은 자성층 내 자화 방향이 같거나 반대에 따라 각각 최소값과 최대값을 가진다. 자화 방향이 같으면 "병렬(parallel)" 상태라고 부르고 로직적으로 "L"인 상태를 나타낸다. 자화 방향이 반대이면 "비병렬(Anti-parallel)" 상태라고 부르고 로직적으로 "H"인 상태라고 부른다.

<8> MRAM은 마그네틱 메모리 셀에 저장된 로직 상태를 읽기 위해, 센스 전류와 기준 전류를 타겟 셀과 기준 셀에다가 각각 인가한다. 타겟 셀과 기준 셀의 자기저항 값에 따라 셀들 양단에 전압 강하가 발생한다. 이 전압들을 서로 비교하여 타겟 셀의 상태를 판단하게 된다. 타겟 셀을 기준 셀과 정확히 비교하기 위하여 자기저항의 변화가 없는 마그네틱 메모리 셀이 요구된다. 그리고 기준 셀로는 $(I(H)+I(L))/2$ 의 전류가 흐르도록 설정되는 것이 일반적이다.

<9> 도 1은 MRAM에 관한 논문(VLSI 심포지움, 2002)의 도 7을 나타내는 도면으로, 중간점 기준 발생부(Mid-point Reference Generator)를 내재한 32Kb MRAM 메모리 블록을 나타낸다. 중간점 기준 발생부는 4개의 자기저항들이 직렬-병렬 연결되어 있다. 직렬 연결된 자기저항은 다른 직렬 연결된 자기저항과 병렬로 연결되어 결과적으로 $1/4(R_{max}+R_{min})$ 저항이 된다. 그런데, 중간점 기준 발생부의 자기저항 값은 비트라인 클램핑 전압(V_{ref})의 레벨에 따라 다소 달라질 수 있는 데, 도 2의 그래프를 참조하여 설명한다. 도 2를 참조하면, 비트라인 클램핑 전압(V_{ref})이 설

정된 값일 때의 최대 저항(R_{max}) 값과 최소 저항(R_{min}) 값의 차이는 기준 전압(V_{ref})이 설정된 값보다 작을 때의 최대 저항(R_{max}) 값과 최소 저항(R_{min}) 값의 차이 보다 작다. 즉, 비트라인 클램핑 전압(V_{ref}) 레벨이 높으면 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값은 작아지고, 비트라인 클램핑 전압(V_{ref})이 낮으면 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값은 커진다. 이에 따라 중간점 기준 발생부는 $\frac{1}{2}(R_{max}+R_{min})$ 저항 값을 맞추기 위해 기준 전압(V_{ref})을 조절해야 하는 데, 이는 실험적 결과를 통해서만 알 수 있고 기준 셀의 비트라인 클램핑(clamping) 전압을 다시 구성해야 하는 번거로움이 따른다.

<10> 따라서, 비트라인 클램핑 전압에 상관없이 기준 셀로 $(I(H)+I(L))/2$ 의 전류가 흐르는 MRAM이 요구된다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명의 목적은 비트라인 클램핑 전압에 상관없이 기준 셀로 $(I(H)+I(L))/2$ 의 전류가 흐르는 MRAM을 제공하는 데 있다.

【발명의 구성 및 작용】

<12> 상기 목적을 달성하기 위하여, 본 발명의 MRAM은 메모리 셀 어레이 블록, 기준 메모리 어레이 블록, 기준 전류 제공부, 그리고 센스앰프를 포함한다. 메모리 어레이 블록은 워드라인, 비트라인, 그리고 디지털 라인의 교차점에 행들 및 열들로 배열된 마그네틱 메모리 셀들로 구성되고, 기준 메모리 어레이 블록은 워드라인, 제1 및 제2 기준 비트라인, 그리고 디지털 라인의 교차점에 행들 및 열들로 배열된 마그네틱 메모리 셀들로 구성된다. 기준 메모리 셀 어레이 블록은 제1 기준

비트라인에 연결되는 마그네틱 메모리 셀들에 로직 하이 상태를 저장하고, 제2 기준 비트라인에 연결되는 마그네틱 메모리 셀들에 로직 로우 상태를 저장한다. 기준 전류 제공부는 비트라인 클램프 전압에 응답하여 기준 비트라인으로 기준 전류를 공급한다. 센스 앰프는 메모리 셀 어레이 블록 내 선택된 마그네틱 메모리 셀 데이터에 따라 비트라인으로 흐르는 전류와 기준 비트라인의 기준 전류를 비교하여 선택된 마그네틱 메모리 셀 데이터 값을 센싱한다.

<13> 구체적으로, 기준 전류 제공부는 제1 기준 비트라인과 연결되고 비트라인 클램프 전압에 응답하여 제1 기준 비트라인 전류를 흘리는 제1 전류 미러와, 제2 기준 비트라인과 연결되고 비트라인 클램프 전압에 응답하여 제2 기준 비트라인 전류를 흘리는 제2 전류 미러와, 제1 및 제2 기준 비트라인 전류합의 반에 해당하는 전류를 센스 앰프로 제공하는 제3 전류 미러를 포함한다. 그리고 메모리 장치는 선택된 마그네틱 메모리 셀의 워드라인 인에이블시 비트라인 전류가 전달되는 데이터 라인과 기준 비트라인 전류가 전달되는 기준 데이터 라인을 비트라인 클램프 전압으로 잡아주는 비트라인 클램프 회로를 더 포함한다.

<14> 따라서, 본 발명의 MRAM에 의하면 비트라인 클램핑 전압 레벨에 상관없이 기준 데이터 라인으로 $(I(H)+I(L))/2$ 의 전류를 흘려 선택된 메모리 셀 값에 따른 데이터 라인의 $iT-i(H)$ 또는 $iT-i(L)$ 전류를 센싱하는 데 안정적이다.

<15> 도 3은 본 발명의 일실시예에 따른 MRAM을 나타내는 도면이다. MRAM(300)은 메모리 어레이 블록(310), 기준 메모리 어레이 블록(320), 워드라인 선택부(330), 디지털 라인 선택부(340), 비트라인/기준 비트라인 선택부(350), 기준 전류

제공부(360), 비트라인 클램핑 회로(370) 그리고 센스앰프(380)를 포함한다. 메모리 어레이 블록(310)은 워드라인(WL0, WL1, WL2, WL3: 전체적으로 "WL"이라고 칭함), 비트라인(BL0, BL1, BL2, BL3: 전체적으로 "BL"이라고 칭함), 그리고 디지털 라인(DL0, DL1, DL2, DL3: 전체적으로 "DL"이라고 칭함)의 교차점에 행들 및 열들로 마그네틱 메모리 셀이 배열되어 있다. 기준 메모리 어레이 블록(320)은 워드라인(WL)과 기준 비트라인(RBL), 그리고 디지털 라인(DL)의 교차점에 행들 및 열들로 마그네틱 메모리 셀이 배열된다. 제1 기준 비트라인(RBL0)에 연결되는 마그네틱 메모리 셀들은 로직 "H" 상태를 저장하고, 제2 기준 비트라인(RBL1)에 연결되는 마그네틱 메모리 셀들은 로직 "L" 상태를 저장한다.

<16> 워드라인 선택부(330)는 워드라인들(WL) 중의 하나를 선택하고, 비트라인 선택부(350)는 비트라인들(BL) 중의 하나를 선택한다. 디지털 라인 선택부(340)는 디지털 라인들(DL) 중의 하나를 선택하고 디지털 전류(ID)의 방향을 결정한다.

<17> 기준 전류 제공부(360)는 도 4에 구체적으로 도시되며 기준 메모리 어레이 블록(320)의 제1 및 제2 기준 비트라인(RBL0, RBL1)과 연결되는 제1 내지 제3 전류 미러(362, 364, 366)로 구성된다. 제1 전류 미러(363)는 제1 기준 비트라인(RBL0)과 연결되고 소정의 비트라인 클램프 전압(VREF)에 응답하여 제1 트랜지스터(361)로 $i(H)$ 전류가 흐르고 이에 따라 제2 트랜지스터(362)로 $i(H)$ 전류가 흐른다. 제1 트랜지스터(361)와 제2 트랜지스터(362)의 채널 너비(width)와 길이(length)는 동일하다. 제2 전류 미러(363)는 제2 기준 비트라인(RBL1)에 연결되고 소정의 비트라인 클램프 전압(VREF)에 응답하여 제3 트랜지스터(364)로 $i(L)$ 전류가 흐르고 이에

따라 제4 트랜지스터(365)로 $i(L)$ 전류가 흐른다. 제3 트랜지스터(364)와 제4 트랜지스터(365)의 채널 너비와 길이는 동일하다. 제3 전류 미러(369)는 제2 트랜지스터(362)와 제4 트랜지스터(365)에서 공급되는 $i(H)$ 와 $i(L)$ 을 합한 전류($i(H)+i(L)$)가 제5 트랜지스터(367)로 흐른다. 제6 트랜지스터(368)는 제5 트랜지스터(367) 보다 채널 너비가 반($1/2$)이 되도록 설정된다. 이에 따라 제6 트랜지스터(368)로 흐르는 전류는 $(i(H)+i(L))/2$ 가 된다.

<18> 기준 전류 제공부(360)에서 흐르는 $(i(H)+i(L))/2$ 전류는 기준 비트라인(RBL)을 통해 기준 데이터 라인으로 흐른다. 그리고 기준 데이터 라인으로는 비트라인 클램프 회로(370)에서 공급되는 비트라인 클램프 전류(i_T)가 더 추가된다. 그리하여 기준 데이터 라인으로는 $i_T-(i(H)+i(L))/2$ 전류가 흐르고 센스앰프와 연결된다. 한편, 메모리 어레이 블록(310)에서 선택된 마그네틱 메모리 셀은 비트라인을 통해 데이터 라인으로 연결된다. 이 때 비트라인으로 흐르는 전류는 선택된 메모리 셀의 로직 상태에 따라 $i(H)$ 또는 $i(L)$ 전류가 흐른다. 그리고 데이터 라인으로는 비트라인 클램프 회로(370)에서 공급되는 비트라인 클램프 전류(i_T)가 더 추가되어 $i_T-i(H)$ 또는 $i_T-i(L)$ 전류가 흐른다.

<19> 센스앰프(380)는 데이터 라인과 기준 데이터 라인으로 흐르는 전류를 감지 증폭하여 선택된 마그네틱 메모리 셀의 로직 상태를 판단한다. 이 때 기준 데이터 라인으로 흐르는 전류는 $i_T-(i(H)+i(L))/2$ 으로, 비트라인 클램프 전압(VREF)은 제1 및 제2 전류 미러(363, 366) 내 제1 내지 제4 트랜지스터들(361, 362, 364, 365)을 턴온시키는 전압 레벨 이상이면 된다. 이는 비트라인 클램프 전압(VREF)이

트랜지스터의 턴온 전압 레벨 이상으로 변하더라도 자기저항의 변화 값에 상관없이 기준 비트라인과 기준 데이터 라인으로 흐르는 전류는 각각 $(i(H)+i(L))/2$ 와 $i_T-(i(H)+i(L))/2$ 로 항상 일정하다는 것을 의미한다.

<20> 도 5는 비트라인 클램프 회로(370)의 구체적인 회로도를 나타내는 도면이다. 이를 참조하면, 비트라인 클램프 회로(370)는 데이터 라인 및 기준 데이터 라인과 센스앰프(380) 사이에 연결되는 데, 차동 증폭부(372, 374)와, 드라이빙부(376), 그리고 전류 공급부(378)로 구성된다. 차동 증폭부(372)는 데이터 라인 전압을 피드백(feedback) 받아 비트라인 클램프 전압(VREF)과 같아지도록 드라이빙부(376)를 제어한다. 그리하여, 워드라인 인에이블될 때 접지 라인으로 프리차아지 되어있던 데이터 라인과 기준 데이터 라인을 비트라인 클램프 전압(VREF) 레벨까지 끌어올리고 선택된 메모리 셀의 데이터 값에 따라 데이터 라인으로 $i(H)$ 또는 $i(L)$ 전류가 흐르게 된다.

<21> 따라서, 본 발명은 비트라인 클램프 전압(VREF) 레벨을 따로 조절할 필요없이 기준 데이터 라인으로 일정하게 $i_T-(i(H)+i(L))/2$ 의 전류가 흐르게 된다. 그리하여 기준 데이터 라인의 $i_T-(i(H)+i(L))/2$ 전류와 비교하여 데이터 라인의 $i_T-i(H)$ 또는 $i_T-i(L)$ 전류를 센싱하는 센스앰프의 동작상 안정하다.

<22> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<23> 상술한 본 발명의 MRAM에 의하면 비트라인 클램핑 전압 레벨에 상관없이 기준 데이터 라인으로 $(I(H)+I(L))/2$ 의 전류를 흘려 선택된 메모리 셀 값에 따른 데이터 라인의 $iT-i(H)$ 또는 $iT-i(L)$ 전류를 센싱하는 데 안정적이다.

【특허청구범위】**【청구항 1】**

워드라인, 비트라인, 그리고 디지털 라인의 교차점에 행들 및 열들로 배열된 마그네틱 메모리 셀들을 갖는 메모리 어레이 블록;

상기 워드라인, 제1 및 제2 기준 비트라인, 그리고 상기 디지털 라인의 교차점에 행들 및 열들로 배열된 마그네틱 메모리 셀을 갖는 기준 메모리 어레이 블록;

비트라인 클램프 전압에 응답하여 상기 기준 비트라인으로 기준 전류를 공급하는 기준 전류 제공부; 및

상기 메모리 셀 어레이 블록 내 선택된 상기 마그네틱 메모리 셀 데이터에 따라 상기 비트라인으로 흐르는 전류와 상기 기준 비트라인의 상기 기준 전류를 비교하여 상기 선택된 마그네틱 메모리 셀 데이터 값을 센싱하는 센스 앰프를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 기준 전류 제공부는

상기 제1 기준 비트라인과 연결되고 상기 비트라인 클램프 전압에 응답하여 제1 기준 비트라인 전류를 흘리는 제1 전류 미러;

상기 제2 기준 비트라인과 연결되고 상기 비트라인 클램프 전압에 응답하여 제2 기준 비트라인 전류를 흘리는 제2 전류 미러; 및

상기 제1 및 제2 기준 비트라인 전류합의 반에 해당하는 전류를 상기 센스 앰프로 제공하는 제3 전류 미러를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 기준 메모리 셀 어레이 블록은

상기 제1 기준 비트라인에 연결되는 상기 마그네틱 메모리 셀들에 로직 하이 상태를 저장하고,

상기 제2 기준 비트라인에 연결되는 상기 마그네틱 메모리 셀들에 로직 로우 상태를 저장하는 것을 특징으로 하는 메모리 장치.

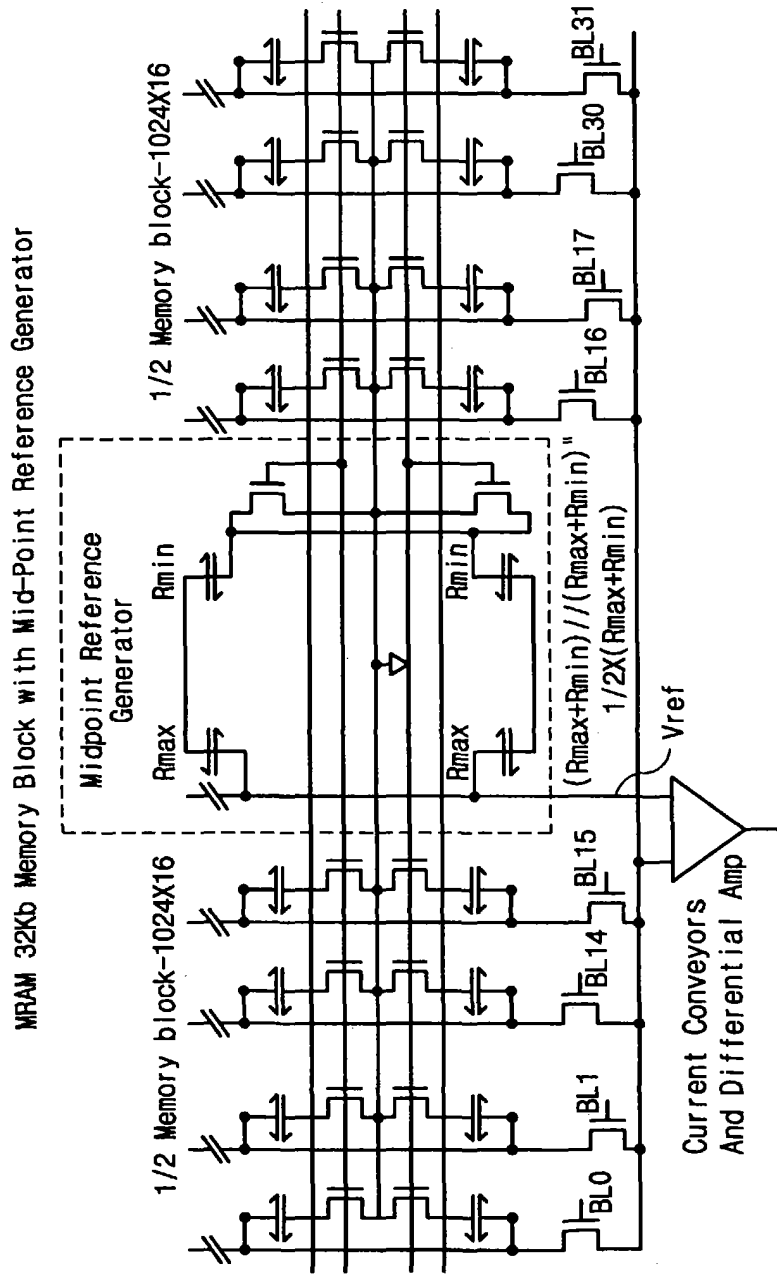
【청구항 4】

제1항에 있어서, 상기 메모리 장치는

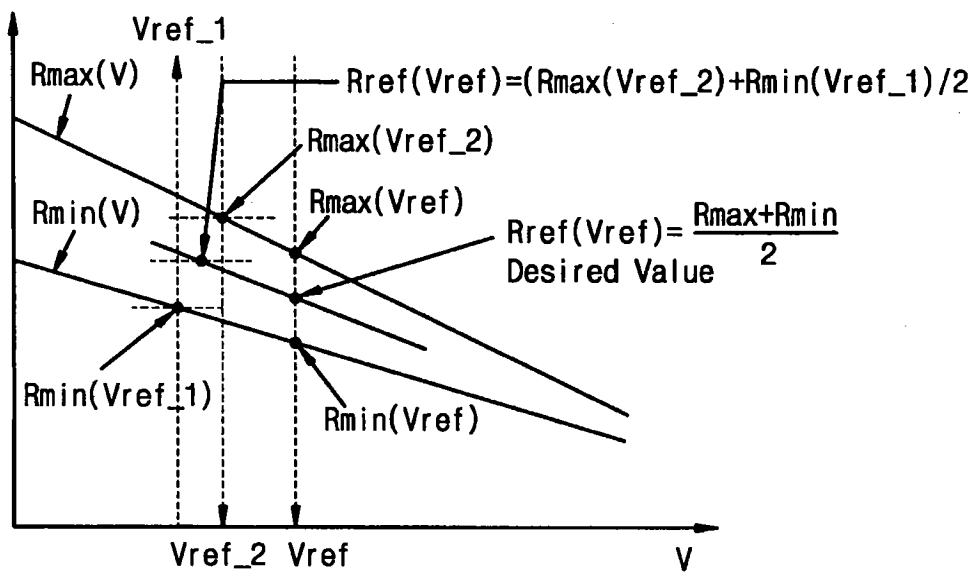
상기 선택된 마그네틱 메모리 셀의 워드라인 인에이블시 상기 비트라인 전류가 전달되는 데이터 라인과 상기 기준 비트라인 전류가 전달되는 기준 데이터 라인을 상기 비트라인 클램프 전압으로 잡아주는 비트라인 클램프 회로를 더 구비하는 것을 특징으로 하는 메모리 장치.

【도면】

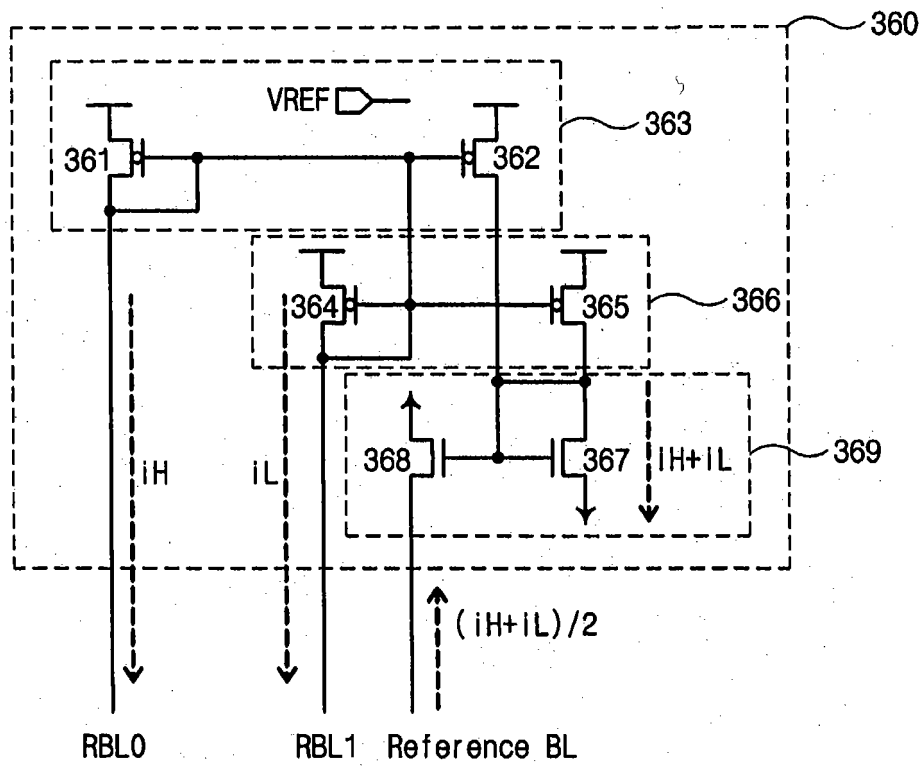
【도 1】



【도 2】



【도 4】



【도 5】

